

Original document**BRANCHING FILTER**

Patent number: JP2004080233

Publication date: 2004-03-11

Inventor: MURAMATSU KIYOSHIGE

Applicant: MURATA MANUFACTURING CO

Classification:

- international: **H03H9/64; H03H9/72; H04B1/50; H03H9/00; H04B1/50; (IPC1-7): H03H9/72; H03H9/64; H04B1/50**

- european:

Application number: JP20020236229 20020814

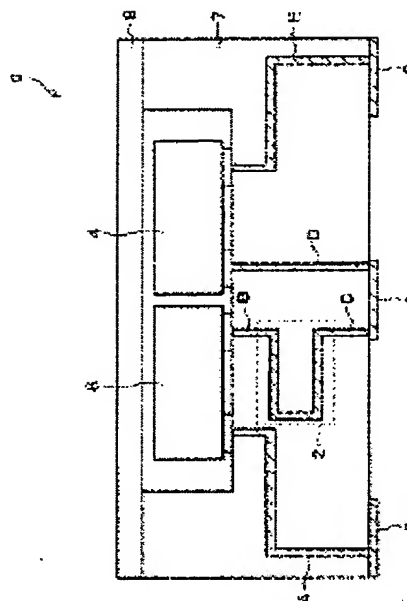
Priority number(s): JP20020236229 20020814

View INPADOC patent family[Report a data error here](#)**Abstract of JP2004080233**

PROBLEM TO BE SOLVED: To provide a branching filter with a low profile that is downsized and has an excellent characteristic.

SOLUTION: A transmitter side filter 4 and a receiver side filter 6 whose center frequencies differ from each other are mounted in a package wherein a plurality of boards 7 are layered. At least one of the boards is provided with a matching element 2 for matching the phase between the transmitter side filter 4 and the receiver side filter 6 and a wiring connected to at least one of external terminals of the transmitter side filter 4 and the receiver side filter 6, and an electrode connected to the ground is provided between the matching element 2 and the wiring.

COPYRIGHT: (C)2004,JPO

Data supplied from the *esp@cenet* database - Worldwide**BEST AVAILABLE COPY**

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-80233

(P2004-80233A)

(43) 公開日 平成16年3月11日(2004.3.11)

(51) Int. Cl. ⁷	F 1	テーマコード (参考)
H03H 9/72	H03H 9/72	5 J 0 9 7
H03H 9/64	H03H 9/64	5 K 0 1 1
H04B 1/50	H04B 1/50	

審査請求 未請求 請求項の数 9 O L (全 11 頁)

(21) 出願番号	特願2002-236229 (P2002-236229)	(71) 出願人	000006231
(22) 出願日	平成14年8月14日(2002. 8. 14)		株式会社村田製作所
			京都府長岡京市天神二丁目26番10号
		(74) 代理人	100080034
			弁理士 原 謙三
		(72) 発明者	村松 清重
			京都府長岡京市天神二丁目26番10号
			株式会社村田製作所内
		Fターム(参考)	5J097 AA29 BB15 KK09 KK10
			5K011 BA03 DA21 DA27 DA28 EA01
			JA01 KA05

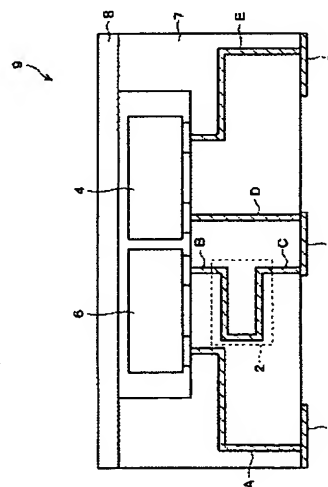
(54) 【発明の名称】 分波器

(57) 【要約】

【課題】低背化、小型化されているとともに、良好な特性を有する分波器を提供する。

【解決手段】複数の基板7が積層されているパッケージに、中心周波数の異なる送信側フィルタ4と受信側フィルタ4とが搭載されている。上記基板の少なくとも1つが、上記送信側フィルタ4と上記受信側フィルタ6との間の位相を整合する整合素子2と、上記送信側フィルタ4および受信側フィルタ6における外部端子の少なくとも1つに接続されている配線とを備え、さらに、前記整合素子2と前記配線との間に、グランドに接続されている電極を有する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

複数の基板が積層されているパッケージに、中心周波数の異なる送信側フィルタと受信側フィルタとが搭載されている分波器であって、

上記基板の少なくとも 1 つが、

上記送信側フィルタと上記受信側フィルタとの間の位相を整合する遅延線と、上記送信側フィルタおよび受信側フィルタにおける外部端子の少なくとも 1 つに接続されている配線とを備え、

さらに上記遅延線と上記配線との間に、グラウンドに接続されている電極を備えていることを特徴とする分波器。

10

【請求項 2】

複数の基板が前記遅延線を備えるとともに、複数の基板が前記配線を備えており、遅延線を備えている或る基板と、該遅延線とが積層方向で重なっている配線を備えている別の基板との間に位置する基板が、該遅延線と該配線とを分離するようにグラウンドに接続された電極を備えていることを特徴とする請求項 1 に記載の分波器。

【請求項 3】

前記配線は、送信側フィルタの入力用外部端子に接続されていることを特徴とする請求項 1 または 2 に記載の分波器。

【請求項 4】

上記基板の少なくとも 1 つが、上記送信側フィルタの外部端子に接続されている配線と、上記受信側フィルタの外部端子に接続されている配線との間に、上記遅延線を備えていることを特徴とする請求項 1 ないし 3 のいずれか 1 項に記載の分波器。

20

【請求項 5】

上記基板の少なくとも 1 つが、上記送信側フィルタの外部端子に接続されている配線と、上記受信側フィルタの外部端子に接続されている配線との間に、グラウンドに接続された電極を備えていることを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の分波器。

【請求項 6】

前記配線は、ビアホールで形成されていることを特徴とする請求項 1 ないし 5 のいずれか 1 項に記載の分波器。

30

【請求項 7】

前記送信側フィルタおよび受信側フィルタとパッケージに備えられている外部電極とは、前記ビアホールを介して接続されていることを特徴とする請求項 6 に記載の分波器。

【請求項 8】

前記ビアホールは、各基板の外周付近に配置されていることを特徴とする請求項 6 または 7 に記載の分波器。

【請求項 9】

前記送信側フィルタおよび受信側フィルタは、弾性表面波フィルタであることを特徴とする請求項 1 ないし 8 のいずれか 1 項に記載の分波器。

【発明の詳細な説明】

40

【0001】**【発明の属する技術分野】**

本発明は、パッケージングされた分波器に関し、特に、弾性表面波素子を用いるパッケージングされた分波器に関するものである。

【0002】**【従来の技術】**

近年の電子機器では、多機能化、小型化、軽量化が進んでいる。それに伴い、電子部品に対しても多機能化が要求されている。このような背景の中、携帯電話機等の通信装置に使用される分波器に対しても同様に、さらなる低背化・小型化が要求されている。このような分波器は、少なくとも受信用フィルタおよび送信用フィルタを備え、これらフィルタにより必要な受信信号および送信信号のみを選択している。そして、上記分波器は、これら

50

受信信号と送信信号とが干渉しないように整合素子を備えている。

【0003】

上記分波器を低背化するためには、1) フィルタを薄くする、2) 上記分波器のパッケージにおける上記フィルタが実装される部分を薄くする、2つの方法が挙げられる。しかしながら、上記1)の方法では、フィルタを薄くするのには製造上の限界があるため、2)の方法が有効である。

【0004】

特に、パッケージに整合素子を内蔵する場合には、整合素子インピーダンスを調整するため、また整合素子間および整合素子と他の線路との相互干渉を抑制するために、整合素子間にグラウンド層を設けることが一般的に行われている。しかし、グラウンド層を設けるにはその分のセラミック層が必要であり、そのセラミック層が分波器の低背化を妨げていた。 10

【0005】

この低背化を達成するために、例えば、特開2001-320260号公報（公開日：2001年11月16日公開）では、図6に示すように、整合回路11がレイヤ3およびレイヤ4に分割配置されている多層構造のパッケージを備える分波器が開示されている。この分波器では、遅延線からなる整合素子間にグラウンド層が形成されていない。そして、整合素子の線幅や位置、整合素子間の層厚みを調整することにより整合素子インピーダンスを任意の値に調整している。

【0006】

【発明が解決しようとする課題】

しかしながら、上記公報における構成では、整合素子と他の線路とが互いに隣合うことになる。これにより、整合素子と他の線路との間では、相互干渉が発生する。 20

【0007】

また、上記分波器を小型化するためには、3) パッケージに内蔵する整合素子を小型化する、4) 整合素子と他の線路との間隔を縮め、省スペース化を図る、2つの方法が挙げられる。しかしながら、3)の方法では、整合素子は所定のインピーダンスで調整されるために、所定の長さが必要であるため、整合素子を形成する電極の線幅を細くし、整合素子間の層の厚さを薄くしなければならない。電極の線幅を細くする、または層の厚さを薄くするためには製造上の限界がある。さらに、電極の線幅を細くすると、線路の抵抗が大きくなり信号の伝達の損失が大きくなるという問題がある。また、4)の方法では、整合素子と他の線路との間の距離が縮まるため、相互干渉が発生するという問題がある。従って、3)の方法と、4)の方法とを併用したとしても、上記低背化の場合と同様に、整合素子と他の線路との間の相互干渉が発生する。 30

【0008】

特に、分波器において、整合素子とフィルタ入出力用外部端子に接続された電極との間に相互干渉が発生すると、フィルタの減衰特性やアイソレーション特性が劣化するという問題が生じる。

【0009】

本発明は、上記の問題点を鑑みてなされたものであり、その目的は、低背化、小型化されているとともに、良好な特性を有する分波器を提供することにある。 40

【0010】

【課題を解決するための手段】

本発明の分波器は、上記課題を解決するために、複数の基板が積層されているパッケージに、中心周波数の異なる送信側フィルタと受信側フィルタとが搭載されている分波器であって、上記基板の少なくとも1つが、上記送信側フィルタと上記受信側フィルタとの間の位相を整合する遅延線と、上記送信側フィルタおよび受信側フィルタにおける外部端子の少なくとも1つに接続されている配線とを備え、さらに上記遅延線と上記配線との間に、グラウンドに接続されている電極を備えていることを特徴としている。

【0011】

上記の構成によれば、上記グラウンドに接続されている電極により、遅延線と、上記いずれ 50

かのフィルタにおける入出力用の外部端子に接続された配線（信号ライン）との間に発生する相互干渉（結合）を抑制することができる。これにより、上記フィルタの減衰特性およびアイソレーションを向上させることができ、分波器の特性を向上させることができる。さらに、上記グラウンドに接続されている電極は、遅延線と同一の基板に形成されているため、分波器を小型化することができる。

【0012】

本発明の分波器は、上記の構成に加えて、複数の基板が前記遅延線を備えるとともに、複数の基板が前記配線を備えており、遅延線を備えている或る基板と、該遅延線とが積層方向で重なっている配線を備えている別の基板との間に位置する基板が、該遅延線と該配線とを分離するようにグラウンドに接続された電極を備えていることが好ましい。

10

【0013】

上記の構成によれば、グラウンドに接続された電極により、異なる基板に備えられている遅延線と、前記配線（信号ライン）との相互干渉（結合）を防止することができる。

【0014】

また、本発明の分波器は、上記の構成に加えて、上記基板の少なくとも1つが、上記送信側フィルタの外部端子に接続されている配線と、上記受信側フィルタの外部端子に接続されている配線との間に、上記遅延線を備えていることが好ましい。

【0015】

上記の構成によれば、遅延線により、受信側フィルタに接続された配線と、と送信側フィルタに接続された配線との間の距離をかせぐことができ、アイソレーションを向上させることができる。

20

【0016】

また、本発明の分波器は、上記の構成に加えて、上記送信側フィルタおよび受信側フィルタにおける外部端子に接続されている配線を有する基板にて、上記送信側フィルタの外部端子に接続されている配線と、上記受信側フィルタの外部端子に接続されている配線との間にグラウンドに接続された電極を有することが好ましい。

【0017】

上記の構成によれば、グラウンドに接続された電極により、受信側フィルタに接続された配線と、と送信側フィルタに接続された配線との間の距離をかせぐことができ、アイソレーションを向上させることができる。

30

【0018】

また、前記配線は、ビアホールで形成されていることが好ましい。さらに、前記送信側フィルタおよび受信側フィルタとパッケージに備えられている外部電極とは、前記ビアホールを介して接続されていることが好ましい。そしてさらに、前記ビアホールは、各基板の外周付近に配置されていることが好ましい。

【0019】

上記の構成によれば、ビアホールにすることにより、ビアホールと遅延線とは、平面（遅延線）と点（ビアホール）でしか結合できないので、アイソレーションを向上させることができる。

40

【0020】

また、本発明の分波器は、前記送信側フィルタおよび受信側フィルタが、弾性表面波フィルタであることが好ましい。

【0021】

【発明の実施の形態】

【実施の形態1】

本発明の実施の一形態について、図1ないし図5に基づいて説明すれば、以下の通りである。

【0022】

本発明の分波器9は、図1に示すように、アンテナ外部端子（ANT端子）1に接続された整合素子2と、整合素子2と送信側外部端子（Tx端子）3との間に設けられた送信側

50

フィルタ4と、整合素子2と受信側外部端子(Rx端子)5との間に設けられた受信側フィルタ6とを有している。また、送信側フィルタ4および受信側フィルタ6は、通過帯域が互いに相違する(中心周波数の異なる)ように設定されている。さらに、上記分波器9は、複数のセラミック基板(多層セラミック基板)7とリッド8とからなるパッケージを備えている。この複数のセラミック基板7には、アンテナ外部端子1、上記整合素子2、送信側外部端子3、および受信側外部端子5が形成されている。上記整合素子2は、送信側フィルタ4と受信側フィルタ6との位相整合させるものであり、本実施の形態では、上記整合素子2は、遅延線である。

【0023】

さらに、この複数のセラミック基板7は、空洞を備え、この空洞に送信側フィルタ4および受信側フィルタ6を有している。送信側フィルタ4および受信側フィルタ6は、フェースダウンボンディングにより、上記複数のセラミック基板7に形成されている回路となる線路に接続されている。これにより、送信側フィルタ4および受信側フィルタ6は、アンテナ外部端子1、上記整合素子2、受信側外部端子3、および送信側外部端子5に接続されている。また、上記整合素子2は、上記複数のセラミック基板7において、異なるセラミック基板に分割されて形成されている。これは、上記整合素子2における所望の特性を得るための長さを確保するためである。

【0024】

より詳細には、送信側外部接続端子3は、回路Eにより送信側フィルタ4に接続されている。この送信側フィルタ4は、回路Dによりアンテナ外部接続端子1に接続されている。このアンテナ外部接続端子1は回路Cにより整合素子2に接続され、この整合素子2は受信側フィルタ6に回路Bを介して接続されている。この受信側フィルタ6は、回路Aにより受信側外部接続端子5に接続されている。

【0025】

本実施の形態にかかる分波器の回路図を図2に示す。本実施の形態では、送信側フィルタ4は、弾性表面波フィルタであり、各直列共振子111a~111cと、各並列共振子112a、112bとをラダー型に備えている。上記送信側フィルタ4は、入力側は直列共振子111aで始まり、出力側は直列共振子111cで終わっていることより、いわゆるT字型構成となっている。また、各並列共振子112a、112bはインダクタンスを介して接地されている。

【0026】

また、受信側フィルタ6は、弾性表面波フィルタであり、各並列共振子212a、212b、212c、および各直列共振子211a、211bをラダー型に備えている。上記受信側フィルタ6は、入力側は並列共振子212aで始まり、出力側は並列共振子212cで終わっていることより、いわゆるπ字型構成となっている。また、上記各並列共振子212a、212b、212cは、それぞれ接地されている。

【0027】

ここで、上記分波器について、パッケージにおける複数のセラミック基板7が、図3に示すように、4層のセラミック基板101~104を積層している場合を例に挙げてより詳細に説明する。

【0028】

上記分波器のパッケージは、図4に示すように、セラミック基板101~104の4層からなっている。ここで、セラミック基板104にはパターンが両面に施されており、他のセラミック基板101~103には上面(セラミック基板101からセラミック基板104まで上から順に積層した場合の各セラミック基板の上側の面)にのみパターンが施されている。また、セラミック基板104の上面を104aとし、下面を104bとしている。

【0029】

上記セラミック基板101は、中央に四角形状の開口(空洞)を有し、その他の上面には、グランド電極10を備えている。さらに、上記セラミック基板101は、ビアホール3

10

20

30

40

50

11～314を備えている。

【0030】

上記セラミック基板102は、グランド電極20a～20c、送信側フィルタ接続端子21、22、受信側フィルタ接続端子23、24、およびインダクタンス電極25、26を備えている。また、送信側フィルタ接続端子21、22、受信側フィルタ接続端子23、24は、上記セラミック基板101とセラミック基板102とを積層したときに、セラミック基板101の開口から露出するように形成されている。さらに、上記セラミック基板102は、ビアホール311a～314a、321～328を備えている。

【0031】

上記セラミック基板103は、整合素子電極2a、隔離電極31a、31b、接続電極32～37を備えている。さらに、上記セラミック基板103は、ビアホール311b～314b、331～338を備えている。

【0032】

上記セラミック基板104は、上面104aに、整合素子電極2b、隔離電極41、および接続電極42～49を備えている。さらに、上記セラミック基板104は、ビアホール341～352を備えている。

【0033】

上記セラミック基板104は、下面104bに、アンテナ外部接続端子1、送信側外部接続端子3、受信側外部接続端子5、およびグランド電極40を備えている。また、上記ビアホール341～351はアンテナ外部接続端子1、送信側外部接続端子3、受信側外部接続端子5、およびグランド電極40に接続されている。さらに、上記下面104bにおいてグランド電極40は、絶縁性樹脂により覆われている。

【0034】

上記各セラミック基板101～104は積層され、パッケージを形成する。そして、上記セラミック基板101の開口において、送信側フィルタ4および受信側フィルタ6が、それぞれ、セラミック基板102の送信側フィルタ接続端子21、22および受信側フィルタ接続端子23、24に接続され、実装される。

【0035】

次いで、各セラミック基板101～104における相互の接続について図1、図2および図4を参照しながら説明する。

【0036】

送信側外部接続端子3は、ビアホール348、336を介して接続電極36に接続されており、この接続電極36にはビアホール327を介して、送信側フィルタ接続端子22に接続されている。そして、この送信側フィルタ接続端子22には、送信側フィルタ4に接続される。つまり、上記送信側外部接続端子3から送信側フィルタ接続端子22までが、回路Eに相当する。

【0037】

また、送信側フィルタ4は、もう一方の送信側フィルタ接続端子21に接続される。この送信側フィルタ接続端子21は、ビアホール321、321a、351を介してアンテナ外部接続端子1に接続されている。つまり、上記送信側フィルタ接続端子21からアンテナ外部接続端子1までが、回路Dに相当する。

【0038】

さらに、上記送信側フィルタ4における並列共振子112a、112bは、それぞれインダクタンス電極25、26に接続されている。インダクタンス電極25、26は、ビアホール328b、328aを介して接続電極37に接続され、さらにビアホール337を介して接続電極48に接続されており、最終的にビアホール349を介してグランド電極40に接続されている。つまり、上記送信側フィルタ4における並列共振子112a、112bは、インダクタンスを介してグランド接地されている。

【0039】

また、アンテナ外部接続端子1は、ビアホール351を介して整合素子電極2bに接続さ

れている。この整合素子電極 2 b はビアホール 3 3 8 を介して整合素子電極 2 a に接続されている。この整合素子電極 2 a は、ビアホール 3 2 2 を介して受信側フィルタ接続端子 2 4 に接続されている。この受信側フィルタ接続端子 2 4 には、受信側フィルタ 6 が接続される。上記整合素子電極 2 a、2 b により、整合素子 2 が形成されることになる。また、アンテナ外部接続端子 1 から整合素子電極 2 b までが回路 C に相当し、整合素子電極 2 a から受信側フィルタ接続端子 6 までが回路 B に相当する。

【0040】

また、受信側フィルタ 4 は、もう一方の受信側フィルタ接続端子 2 3 に接続される。この送信側フィルタ接続端子 2 3 は、ビアホール 3 2 4 を介して接続電極 3 3 に接続され、この接続電極 3 3 はビアホール 3 3 2 を介して接続電極 4 4 に接続され、3 4 2 を介して接続電極 4 4、ひいては受信側外部接続端子 5 に接続されている。つまり受信側フィルタ接続端子 2 3 から受信側外部接続端子 5 までが回路 A に相当する。

【0041】

また、上記受信側フィルタ 4 における並列共振子 2 1 2 a、2 1 2 b、2 1 2 c は、グラウンド電極 2 0 a、2 0 b、2 0 c にそれぞれ接続されている。

【0042】

上記グラウンド電極 2 0 a は、ビアホール 3 1 1 a、3 1 1 b を介して接続電極 4 2 に接続されており、この接続電極 4 2 は、ビアホール 3 5 2 を介してグラウンド電極 4 0 に接続されている。さらに、上記グラウンド電極 2 0 a は、ビアホール 3 2 6 a、3 2 6 b を介して接続電極 3 5 に接続されている。この接続電極 3 5 は、ビアホール 3 3 5 a、3 3 5 b を介して接続電極 4 7 に接続されている。そして、上記接続電極 4 7 は、ビアホール 3 4 6 を介してグラウンド電極 4 0 に接続されている。またさらに、上記グラウンド電極 2 0 a は、ビアホール 3 1 1 を介してグラウンド電極 1 0 に接続されている。

【0043】

また、上記グラウンド電極 2 0 b は、ビアホール 3 2 5 a、3 2 5 b を介して接続電極 3 4 に接続されている。さらに、上記接続電極 3 4 は、ビアホール 3 3 4 a、3 3 4 b を介して接続電極 4 6 に接続されている。そして、この接続電極 4 6 は、ビアホール 3 4 4、3 4 5 を介してグラウンド電極 4 0 に接続されている。

【0044】

また、上記グラウンド電極 2 0 c は、ビアホール 3 2 3 a、3 2 3 b を介して接続電極 3 2 に接続されている。さらに、上記接続電極 3 2 は、ビアホール 3 3 1 を介して接続電極 4 3 に接続されている。そして、この接続電極 4 3 は、ビアホール 3 4 1 を介してグラウンド電極 4 0 に接続されている。

【0045】

つまり、上記受信側フィルタ 6 における並列共振子 2 1 2 a、2 1 2 b、2 1 2 c は、それぞれ個別に接地されている。

【0046】

さらに、上記グラウンド電極 4 0 は、ビアホール 3 5 2、3 4 3、3 4 7、3 5 0 を介して、それぞれ接続電極 4 2、4 5、5 0、4 9 に接続され、さらにビアホール 3 1 1 b、3 1 2 b、3 1 4 b、3 1 3 b を介し、ビアホール 3 1 1 a、3 1 2 a、3 1 4 a、3 1 3 a を介し、さらにビアホール 3 1 1、3 1 2、3 1 4、3 1 3 を介してグラウンド電極 1 0 と接続されている。

【0047】

上記の構成では、整合素子電極 2 a と、送信側外部接続端子 3 に直接接続されている接続電極 3 6 とが同一のセラミック基板 1 0 3 に設けられている。この場合、整合素子電極 2 a と接続電極 3 6 との間には、相互干渉が生じる。また、セラミック基板 1 0 4 では、整合素子電極 2 b とビアホール 3 4 8 との間に相互干渉が生じる。つまり、送信側フィルタの入力側において相互干渉が生じるため、減衰特性が劣化する。さらに整合素子においても相互干渉が生じるため、受信側フィルタにおける、アイソレーションが劣化してしまう。

【0048】

そのため、本発明の分波器では、セラミック基板103において、整合素子電極2aと接続電極36との間に隔離電極31aを備えている。これにより、整合素子電極2aと接続電極36との間の相互干渉を防止することができる。また、セラミック基板104において、整合素子電極2bとビアホール348との間に隔離電極41を備えている。これにより、整合素子電極2bとビアホール348との間の相互干渉を防止することができる。つまり、上記隔離電極31aにより、セラミック基板103における二次元的相互干渉を防止することができる。

【0049】

また、上記の構成では、セラミック基板102における送信側フィルタ接続端子22と、セラミック基板104における整合素子電極2bとは、3次元的に重なっているため、相互干渉が生じる。つまり、送信側フィルタの入力側において相互干渉が生じるため、減衰特性が劣化する。さらに整合素子においても相互干渉が生じるため、受信側フィルタにおける、アイソレーションが劣化してしまう。

【0050】

上記の送信側フィルタの減衰特性および受信側フィルタのアイソレーション特性については、図5に示す。

【0051】

そこで、本発明の分波器9では、上記送信側フィルタ接続端子22と整合素子電極2bとを隔離するために、セラミック基板102とセラミック基板104との間のセラミック基板103に隔離電極31bを備えている。この隔離電極31bは、上記送信側フィルタ接続端子22と整合素子電極2bとが重なっている部分を確実に隔離することができる面積であることが好ましい。この隔離電極31bにより、送信側フィルタ接続端子22と整合素子電極2bとの間の相互干渉を防止することができる。つまり、上記隔離電極31bにより、セラミック基板102における送信側フィルタ接続端子22とセラミック基板104における整合素子電極2bとにおける3次元的相互干渉を防止することができる。

【0052】

なお、上記隔離電極31a、31b、41は、ビアホール347、314b、314a、314を介してグランド電極10に接地されている。さらに、上記隔離電極31a、31b、41は、ビアホール314a、347を介してグランド電極40に接地されている。

【0053】

このように、フィルタに接続された端子と遅延線との間にグランドに接続された電極を形成することで、挿入損失、アイソレーションが共に改善することが図5より分かる。

【0054】

本実施の形態では、周波数の高い側のフィルタ（受信側フィルタ）には、隔離電極を形成していない。これは、受信側フィルタの出力端は、並列共振子であり、この並列共振子がグランド電極に接続されているため、整合素子（遅延線）との相互干渉が少なくなっているからである。

【0055】

本実施の形態では、分波器の低背化のために、整合素子としての遅延線の厚さを薄くする。さらに、小型化のために、遅延線の幅をできるだけ細くすることが好ましいが、遅延線の幅を細くした場合には、遅延線での損失が大きくなり特性面において好ましくない。そこで、上記分波器では、所望の特性を得るために上記遅延線の幅をある程度太くする。しかしながら、上記遅延線を太くすると、この遅延線でのインピーダンスが低くなってしまい、所望の特性が得られないという問題が生じる。そこで、整合素子としての遅延線を、異なるセラミック基板上において同じ方向に巻いている。これにより誘導性となり、遅延性のインピーダンスを高くすることができ、所望の分波器の特性を得ることができる。

【0056】

また、フェースダウンボンディングにより、フィルタを実装する場合には、ワイヤボンディングと比べて、低背化することができるが、電極配置の自由度が小さく、整合素子と、

上記フィルタの入出力端子に接続されるパッケージにおける電極との間の物理的距離が近くなる。そのため、上記整合素子とフィルタの入出力端子に接続される電極との間の相互干渉が生じ、分波器としての特性が劣化する。そこで、本実施の形態にかかる分波器では、上記整合素子とフィルタの入出力端子に接続される電極との間にグランド電極に接続された隔離電極を備えている。これにより、上記整合素子とフィルタの入出力端子に接続される電極との間の相互干渉を効果的に抑制することができる。

【0057】

また、本実施の形態では、基板103、104において、送信フィルタに接続される接続配線36およびビアホール336、348と、受信フィルタに接続される接続配線33、44およびビアホール332、342との間に整合素子が設けられており、隔離されている。これにより、受信側フィルタの端子と送信側フィルタの端子との間の距離をかせぐことができ、アイソレーションを向上させることができる。

【0058】

また、本実施の形態では、基板102において、送信側フィルタ接続端子21、22と、受信側フィルタ接続端子23、24との間にグランド電極20aが設けられており、隔離されている。これにより、送信側フィルタ接続端子21、22と受信側フィルタ接続端子23、24との間の距離をかせぐことができ、アイソレーションを向上させることができる。

【0059】

【発明の効果】

本発明の分波器は、以上のように、基板が積層されているパッケージに、中心周波数の異なる送信側フィルタと受信側フィルタとが搭載されている分波器であって、上記基板の少なくとも1つが、上記送信側フィルタと上記受信側フィルタとの間の位相を整合する遅延線と、上記送信側フィルタおよび受信側フィルタにおける外部端子の少なくとも1つに接続されている配線とを備え、さらに上記遅延線と上記配線との間に、グランドに接続されている電極を備えている構成である。

【0060】

上記の構成によれば、上記電極により、遅延線と、上記いずれかのフィルタにおける入出力用の外部端子に接続された配線（信号ライン）との間に発生する相互干渉（結合）を抑制することができる。これにより、上記フィルタの減衰特性およびアイソレーションを向上させることができ、分波器の特性を向上させることができるという効果を奏する。さらに、上記電極は、遅延線と同一の基板に形成されているため、分波器を小型化することができるという効果を併せて奏する。

【図面の簡単な説明】

【図1】 本発明の一実施形態にかかる分波器の概略構成図である。

【図2】 上記分波器の概略回路図である。

【図3】 上記分波器の多層セラミック基板からなるパッケージにおける一部断面図である。

【図4】 上記分波器のパッケージにおける各層のセラミック基板の平面図である。

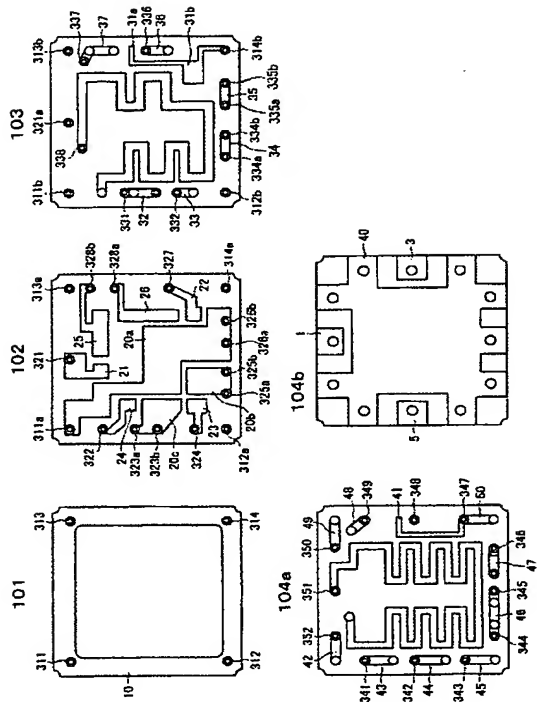
【図5】 上記分波器の各フィルタにおける、減衰特性およびアイソレーション特性を示すグラフおよび挿入損失の周波数特性を示すグラフである。

【図6】 従来の分波器において整合素子が作成される層のパターンを説明する図である。

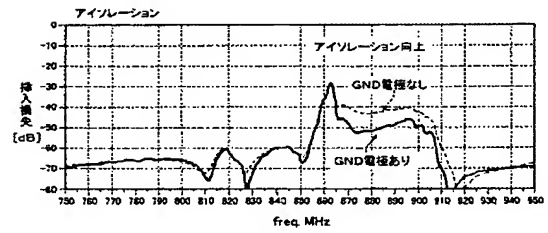
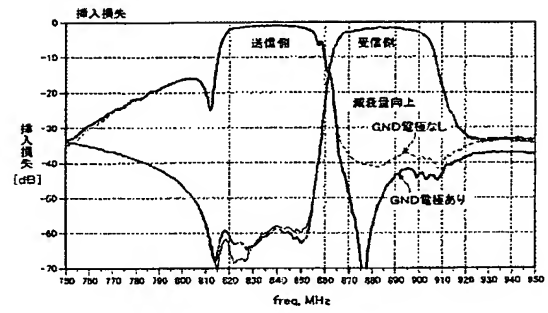
【符号の説明】

- 1 アンテナ外部接続端子
- 2 整合素子
- 3 送信側外部接続端子
- 4 送信側フィルタ
- 5 受信側外部接続端子
- 6 受信側フィルタ
- 7 多層セラミック基板

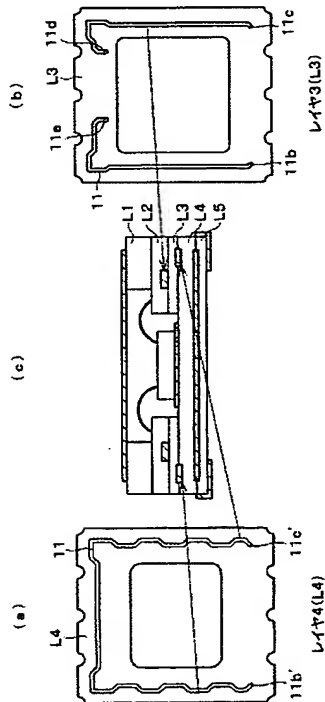
【図 4】



【図 5】



【図 6】



BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)